



РОССИЙСКОЕ АГЕНТСТВО  
ПО ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(19) **RU** (11) **2 024 886** (13) **C1**  
(51) МПК<sup>5</sup> **G 01 R 29/10**

## (12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21), (22) Заявка: **4295810/09, 24.08.1987**

(46) Опубликовано: **15.12.1994**

(56) Список документов, цитированных в отчете о поиске: **Авторское свидетельство СССР N 634217, кл. G 01R 29/10, 1975. Авторское свидетельство СССР N 1318941, кл. G 01R 29/10, 1985.**

(71) Заявитель(и):

**Гомельское конструкторское бюро "Луч"**

(72) Автор(ы):

**Старовойтов С.С.**

(73) Патентообладатель(ли):

**Гомельское конструкторское бюро "Луч"**

### (54) УСТРОЙСТВО ДЛЯ НАСТРОЙКИ ФАЗИРОВАННОЙ АНТЕННОЙ РЕШЕТКИ

(57) Реферат:

Использование: в радиотехнике, а именно, в технике антенных измерений для автоматической настройки ФАР с индивидуальным управлением состояниями дискретных управляемых СВЧ фазовращателей. Сущность изобретения. Устройство для фазированной антенной решетки осуществляет автоматическую фазировку элементов решетки в точку, в которой находится неподвижный измерительный зонд, что дает

возможность получения на выходах запоминающих устройств настроечных кодов, при которых достигается максимальное усиление ФАР в направлении, на котором находится измерительный зонд. При этом поэлементная настройка ФАР осуществляется с учетом изменений в фазовом распределении поля, которые происходят вследствие элементов и влияний этих перефазировок на соседние излучатели. 2 ил.



RUSSIAN AGENCY  
FOR PATENTS AND TRADEMARKS

(19) **RU** (11) **2 024 886** (13) **C1**  
(51) Int. Cl.<sup>5</sup> **G 01 R 29/10**

(12) **ABSTRACT OF INVENTION**

(21), (22) Application: **4295810/09, 24.08.1987**

(46) Date of publication: **15.12.1994**

(71) Applicant(s):  
**Gomel'skoe konstruktorskoe bjuro "Luch"**

(72) Inventor(s):  
**Starovojtov S.S.**

(73) Proprietor(s):  
**Gomel'skoe konstruktorskoe bjuro "Luch"**

(54) **DEVICE FOR TUNING PHASED ARRAYS**

(57) Abstract:

FIELD: radio engineering. SUBSTANCE: device for tuning phased arrays exercises the automatic phasing of the array elements into the point where a fixed metering probe is which results in obtaining tuning codes at the outputs of memory units at which the maximum amplification of the phased array is achieved in the direction in

which the metering probe is disposed. In so doing the phased array tuning is exercised element by element taking into account the changes in the field phase distribution which take place due to these elements and the influence of these rephasings on the neighboring emitters. EFFECT: simpler design. 2 dwg

Изобретение относится к области антенных измерений и может быть использовано для настройки фазированной антенной решетки (ФАР).

Цель изобретения - повышение точности и обеспечение выполнения настройки ФАР в автоматическом режиме.

5 На фиг. 1 приведена схема электрическая структурная устройства для настройки ФАР; на фиг. 2 - графики измерения фазы управляемого фазовращателя.

Устройство для настройки ФАР включает последовательно соединенные генератор СВЧ 1, направленный ответвитель 2 и первый управляемый дискретный фазовращатель 3, последовательно соединенные делитель 4 частоты на  $C$ , первый 5 и второй 6 делители частоты на два, выход которых подключен к второму и третьему управляющим входам первого управляемого дискретного фазовращателя 3, первый управляющий вход которого 10 подключен к выходу делителя 4 частоты на  $C$ , последовательно соединенные генератор 7 прямоугольных импульсов, делитель 8 частоты на  $m$ , коммутатор 9 управляющего сигнала, управляющий вход которого подсоединен к выходу генератора 7 прямоугольных импульсов 15 через делитель 10 частоты на  $e$ , а первый выход коммутатора 9 подключен к входу первого адресного коммутатора 11 и к входу третьего делителя 12 частоты на два, выход которого подключен к входу второго адресного коммутатора 13 и к входу четвертого делителя 14 частоты на 2, выход которого подсоединен к входу третьего адресного коммутатора 15,  $i$ -й вход первого 11, второго 13 и третьего 15 адресных коммутаторов 20 последовательно через сумматор по модулю два первой 16, второй 17 и третьей 18 групп соответственно подключен к первому, второму, третьему управляющим входам фазовращателя 19 и настраиваемой ФАР 20.

Устройство также содержит последовательно соединенные зонд 21, второй управляемый дискретный фазовращатель 22, балансный смеситель 23, коммутатор 24, 25 первый усилитель 25 промежуточной частоты (УПЧ), и фазометр 26, второй вход которого подключен к выходу второго УПЧ 27, вход которого подключен к второму выходу коммутатора 24. Выход фазометра 26 подсоединен к входу дешифратора 28, первый, второй и третий выходы которого подключены к входу первого 29, второго 30 и третьего 31 адресных коммутаторов настройки, выход каждого из которых через блок 4 памяти 32, 33 и 34 подключен к второму входу  $i$ -го сумматора по модулю два первой 16, второй 17 и третьей 18 групп соответственно. Шестой 35 и седьмой 36 делители частоты на два соединены последовательно, а их выходы подключены к второму и третьему входам второго управляемого фазовращателя 22, первый управляющий вход которого и вход шестого делителя 35 частоты на два подсоединены к второму выходу коммутатора 9 35 управляющего сигнала. Выход адресного блока 37 подключен к управляющему входу фазометра 26, первого 11, второго 13, третьего 15 адресных коммутаторов, первого 29, второго 30 и третьего 31 адресных коммутаторов настройки. Управляющий вход коммутатора 24 подключен к выходу делителя 10 частоты на  $e$ .

Устройство для настройки ФАР работает следующим образом.

40 Сигнал генератора СВЧ 1, пройдя направленный ответвитель 2 и первый управляемый дискретный фазовращатель 3, оказывается подвергнут тройной фазовой манипуляции соответственно с индексами 45, 90 и 180 градусов. При этом сигналы управления состояниями дискретного фазовращателя 3 поступают соответственно с генератора 7 45 прямоугольных импульсов через делитель 4 частоты на  $C$ , на делители частоты на два 5 и 6. Законы изменения состояний фазовращателя 3, а также общий закон изменения фазы СВЧ сигнала на выходе фазовращателя 3 показан на фиг. 2, где за  $\Omega_1$  принято значение частоты сигнала с выхода делителя 6 частоты на два. Для упрощения анализа аппроксимируем ступенчатый закон изменения фазы сигнала на выходе фазовращателя 3 в пилообразный, как показано на фиг. 2.

50 Закон изменения фазы сигнала  $\theta(t)$  в пределах одного периода

модуляции  $T_1 = \frac{2\pi}{\Omega_1}$  можно представить в виде

$\theta(t) = \frac{2\pi}{T_1} t = \Omega_1 t$ , а изменение частоты колебания при этом запишется в виде

$$\Delta \omega(t) = d\theta(t) / dt = \Omega.$$

Таким образом, сигнал на выходе фазовращателя 3 вследствие модуляции получает приращение частоты

$$U_c(t) = V_0 e^{j(\omega_0 + \Omega_1)t}, \quad (1) \text{ где } V_0 - \text{амплитуда сигнала};$$

$\omega_0 / 2\pi$  - частота генератора СВЧ1;

$t$  - время.

Сигнал вида (1) является сигналом опорного канала, поступающий на вход балансного смесителя 23. Рассмотрим формирование сигнала измерительного канала, приходящего на другой вход балансного смесителя 23. Сюда поступает через управляемый дискретный фазовращатель 22 сигнал с измерительного зонда 21, который, в свою очередь, принимает сигнал настраиваемой ФАР 20, представляющий собой суперпозицию векторов поля отдельных излучателей, различающихся по фазовым сдвигам. Управление состоянием фазовращателей 19 ФАР 20 организовано так, чтобы половина периода

частоты  $\Omega_3/2\pi = \frac{1}{T_3}$  сигнала, поступающего с выхода делителя 10 частоты на  $e$ ,

модулирующие сигналы поступают на управляющие входы подстраиваемого фазовращателя решетки, а в течение другой половины периода частоты  $\Omega_3 / 2\pi$  управляющие сигналы поступают на управляющие входы фазовращателя 22 измерительного канала. Переключение управляющего канала, поступающего с выхода делителя 8 частоты на  $m$ , осуществляется с помощью коммутатора 9. На фазовращатели 19 ФАР 20 управляющие сигналы проходят через адресный коммутатор 11, сумматоры 16 по модулю два для 45-градусных дискретов, адресный коммутатор 13 и сумматоры 17 по модулю 2 для 90-градусных дискретов, и адресный коммутатор 15, сумматоры 18 по модулю два для 180-градусных дискретов. При этом управляющие сигналы аналогичны изображенным на фиг. 2 с тем отличием, что сигнал модулирующей частоты для 180-градусного дискрета, поступающий с выхода делителя 14 частоты на 2, имеет частоту  $\Omega_2 / 2\pi$ .

Таким образом, в начале настройки адресный блок 37 устанавливает все адресные коммутаторы 11, 13 и 15 в положение, при котором управляющие сигналы подаются на входы фазовращателя 19 ФАР 20. При этом коммутатор 9 переключает модуляцию либо на фазовращатель 19, либо на фазовращатель 22 с частотой  $\Omega_2 / 2\pi$ . Сигнал на входе балансного смесителя 23 при этом принимает вид:

$$U_1(t) = \begin{cases} U_{11}^* e^{j\omega_0 t + \varphi_1} + U_{1i}^* e^{j(\omega_0 + \Omega_0)t + \varphi_i}, & 0 < t < \frac{T_3}{2} \\ U_{11}^* e^{j(\omega_0 + \Omega_2)t + \varphi_1}, & \frac{T_3}{2} < t < T_3 \end{cases} \quad (2) \text{ где } T_3 = \frac{2\pi}{\Omega_3} - \text{период коммутации}$$

сигнала,

$i$  - номер подстраиваемого фазовращателя ФАР 20,

$\varphi_1$  - фазовый сдвиг суммарного сигнала ФАР 20,

$\varphi_i$  - фазовый сдвиг сигнала  $i$ -го излучателя,

$U_1, U_{1i}$  - амплитуды сигналов суммарного и  $i$ -го излучателей.

$$U_1 = \sqrt{(U_{11}^* \sin \varphi_1 + U_{1i}^* \sin \varphi_i)^2 + (U_{11}^* \cos \varphi_1 + U_{1i}^* \cos \varphi_i)^2} \approx U_1^1,$$

$$\Omega_3 \ll \Omega_1, \quad \varphi_1^* = \arctg \frac{U_{11}^* \sin \varphi_1 + U_{1i}^* \sin \varphi_i}{U_{11}^* \cos \varphi_1 + U_{1i}^* \cos \varphi_i} \approx \varphi_1,$$

так как  $U_1^i \ll U_1^*$

На выходе смесителя 23 без учета суммарной компоненты от перемножения сигналов (1) и (2) имеем сигнал вида

$$U_2(t) = \begin{cases} U_{21}^* e^{j(\omega_0 - \Omega_0)t - \varphi_1^*} + U_{21}^i e^{j(\omega_1 - \Omega_2)t - \varphi_1}, & 0 < t \leq \frac{T_3}{2} \\ U_{11} e^{j(\Omega_2 - \Omega_1)t - \varphi_1}, & \frac{T_3}{2} < t < T_3 \end{cases} \quad (3)$$

Коммутатор 24, управляющий тем же сигналом, что и коммутатор 9 управляющего сигнала, разделяет измерительный сигнал одного элемента в смеси с фоном, соответствующий верхней строчке выражения (3), и опорный сигнал всей ФАР (нижняя строка выражения (3)) на два канала

$$U_3(t) = \begin{cases} 0 & 0 < t \leq T_3/2 \\ U_{31}^* e^{j\Omega_1 t - \varphi_1^*} + U_{31}^i e^{j(\Omega_1 - \Omega_2)t - \varphi_1}, & \frac{T_3}{2} < t \leq T_3 \end{cases} \quad (4)$$

$$U_4(t) = \begin{cases} U_{21} e^{j(\Omega_1 - \Omega_2)t - \varphi_1}, & 0 < t \leq T_3/2 \\ 0 & \frac{T_3}{2} < t \leq T_3 \end{cases}$$

УПЧ 25 и 27 настроены на промежуточную частоту  $(\Omega_1 - \Omega_2) / 2\pi$  и имеют полосу пропускания, намного меньшую, чем скорость переключения коммутаторов 9 и 24, поэтому сигналы (4) УПЧ 25 и 27 из амплитудно-манипулированных превращаются в непрерывные с постоянной амплитудой

$$U_5(t) = U_5^i e^{j(\Omega_1 - \Omega_2)t - \varphi_1};$$

$$U_6(t) = U_6 e^{j(\Omega_1 - \Omega_2)t - \varphi_1}. \quad (5)$$

Иными словами, УПЧ 25 и 27 вырезают только центральные несущие частоты амплитудно-манипулированных сигналов (4), превращая их в опорный и измерительный сигналы для фазометра 26. На выходе фазометра 26 формируется цифровой сигнал разности фаз двух когерентных сигналов  $\varphi_1 - \varphi_i$ .

Одновременно с подачей сигналов установки адреса коммутаторов 11, 13, 15, 29, 30 и 31 адресный блок 37 выдает сигнал разрешения считывания результатов измерений на фазометр 26, но с некоторой задержкой, необходимой для установления сигналов опорного и измерительного каналов для фазометра 26, т. е. установления колебания в УПЧ 25 и 27. Затем считываются показания фазометра 26 и в цифровом виде поступают на вход дешифратора. Дешифратор 28 имеет три выхода, соответствующие 45, 90 и 180 градусам.

Работа дешифратора 28 основана на сравнении показаний фазометра 26 с фазовыми дискретами от 0 до 360 градусов с шагом в 45 градусов. Если, например, значение фазового сдвига между сигналом элемента ФАР 20 и сигналом всей ФАР 20 соответствует 40°, то дешифратор 28 выдает логический уровень ("1") на первом выходе, соответствующем 45-градусному дискрету (подстраиваемого) фазовращателя 19 ФАР 20.

Если значение фазового сдвига составляет 285°, то дешифратор 28 выдает сигналы подстройки ("1") на втором и третьем выходах одновременно, соответствующих 90 и 180-градусным дискретам подстраиваемого фазовращателя 19 ФАР 20. Эти логические уровни на выходах дешифратора 28 через коммутаторы сигналов подстройки 29, 30, 31 подаются на соответствующие блоки 32, 33 и 34 памяти, которые продолжают держать логические уровни сигналов подстройки, если они были поданы и после установки адресных коммутаторов 29, 30 и 31 в другой положение.

После окончания времени считывания и записи подстроечного кода в запоминающие устройства первого фазовращателя ФАР 20, адресный блок 37 переключает адресные

коммутаторы 29, 30 и 31 на входы второго фазовращателя решетки. Аналогично первому сравнивается фазовый сдвиг сигнала второго элемента ФАР 20 с несколько измененным фазовым сдвигом общего сигнала ФАР 20 за счет подстройки первого элемента.

Записываются подстроечные коды для второго элемента решетки, и далее процесс подстройки осуществляется по всем N элементам ФАР 20, при этом сумматоры 16, 17 и 18 по модулю два применены в устройстве для согласования выходов цифровых устройств, т.е. выходов адресных коммутаторов 11, 13 и 15, блоков 32, 33 и 34 памяти, которые включены к входам фазовращателей 19 ФАР 20.

Таким образом, изобретение позволяет осуществлять автоматическую фазировку элементов решетки в точку, в которой находится неподвижный (измерительный) зонд 21, что дает возможность получения на выходах блоков 32, 33 и 34 памяти настроечных кодов, при которых достигается максимальное усиление ФАР 20 в направлении, на котором находится (измерительный) зонд 21. При этом поэлементная настройка ФАР 20 осуществляется с учетом изменений в фазовом распределении поля, которые происходят вследствие перефазировки элементов и влияний этих перефазировок на соседние излучатели. Поэлементное сравнение фаз сигналов отдельных элементов с фазой сигнала от всей решетки повышает точность настройки ФАР 20.

#### Формула изобретения

УСТРОЙСТВО ДЛЯ НАСТРОЙКИ ФАЗИРОВАННОЙ АНТЕННОЙ РЕШЕТКИ(ФАР), включающее последовательно соединенные генератор СВЧ, направленный ответвитель, первый управляемый дискретный фазовращатель, последовательно соединенные генератор прямоугольных импульсов, делитель частоты на С, выход которого соединен с первым входом управления первого управляемого дискретного фазовращателя, первый и второй делители частоты на два, выходы которых подключены к второму и третьему входам управления первого управляемого дискретного фазовращателя, делитель частоты на m, вход которого подключен к выходу генератора прямоугольных импульсов, второй выход направленного ответвителя подсоединен к входу настраиваемой ФАР, содержащий i фазовращателей настраиваемой ФАР, зонд, первый усилитель промежуточной частоты, выход которого подключен к первому входу фазометра, отличающееся тем, что, с целью повышения точности и обеспечения выполнения настройки в автоматическом режиме, введены последовательно соединенные коммутатор управляющего сигнала, вход которого соединен с выходом делителя частоты на m, первый адресный коммутатор, последовательно соединенные третий делитель частоты на два, вход которого подключен к выходу коммутатора управляющего сигнала, четвертый делитель частоты на два, выходы третьего и четвертого делителей частоты на два подключены к входу введенных второго и третьего адресных коммутаторов соответственно, а i-й выход первого, второго и третьего адресных коммутаторов через введенный i-й сумматор по модулю 2 первой, второй и третьей групп соответственно подключен к первому, второму и третьему управляющим входам i-го фазовращателя настраиваемой ФАР соответственно, последовательно соединенные второй управляемый дискретный фазовращатель, вход которого соединен с выходом зонда, балансный смеситель, коммутатор и второй усилитель промежуточной частоты, выход которого подключен к второму входу фазометра, а первый управляемый вход второго управляемого фазовращателя подсоединен к второму выходу коммутатора управляющего сигнала, последовательно соединенные пятый и шестой делители частоты на два, выходы которых подсоединены к второму и третьему управляющим входам второго управляемого дискретного фазовращателя, а вход пятого делителя частоты на два подключен к второму выходу коммутатора управляющего сигнала, второй вход балансного смесителя подсоединен к выходу первого управляемого дискретного фазовращателя, управляющий вход коммутатора и управляющий вход коммутатора управляющих сигналов подсоединены к выходу генератора прямоугольных импульсов через введенный делитель частоты на l, дешифратор, выход которого подключен к выходу фазометра и первый, второй и третий выходы - к входу введенных

первого, второго и третьего адресных коммутаторов настройки соответственно,  $i$ -й выход первого, второго и третьего адресных коммутаторов настройки, через введенный  $i$ -й блок памяти подключен к второму входу  $i$ -го сумматора по модулю 2 первой, второй и третьей групп соответственно, адресный блок, выход которого подсоединен к управляющему входу фазометра, первого, второго и третьего адресных коммутаторов, первого, второго и третьего адресных коммутаторов настройки, где  $i = 1, 2, 3, \dots, N$  - номер фазовращателя настраиваемой ФАР.

10

15

20

25

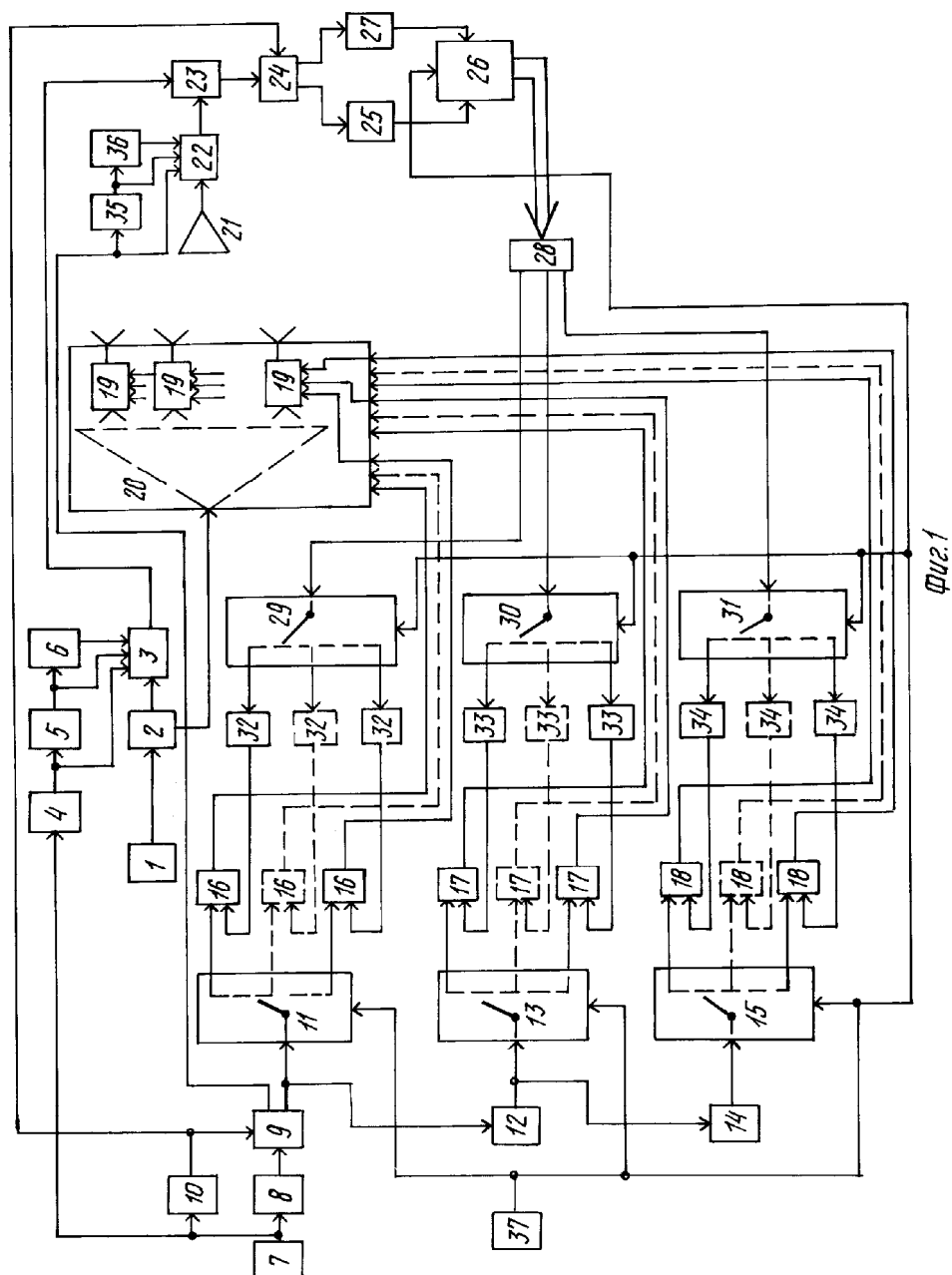
30

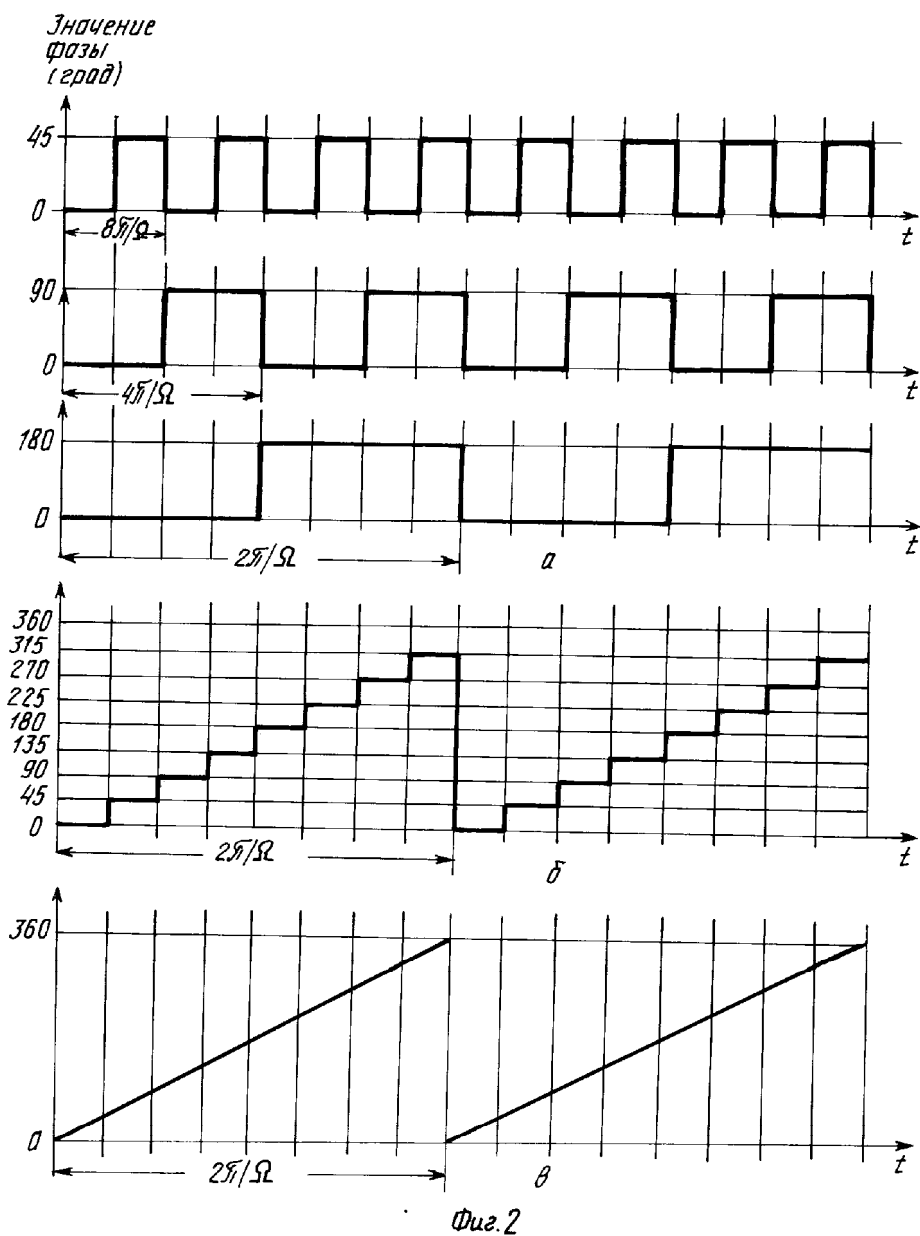
35

40

45

50





Фиг. 2